

**微机接口技术**

**学习笔记**



题目 8237A的工作时序

姓 名 王晟

袁鑫

周宇航

林天成

所在学院 计算机科学与技术学院

提交日期 2019年11月23日

# 一、摘要

**1.1 主要内容**

本笔记的主要内容是自学课件上关于8237A的工作时序的相关内容。

问题如下：

·8237A有哪两种工作状态？其含义是什么？

·不同工作周期下，8237A的主要引脚及其作用有哪些？

我们为了回答这两个问题，搜集资料并互相讨论整理成此笔记。

**1.2 分工**

以下表格是这次笔记每个小组成员的贡献度：

表1 每个小组成员的贡献度

| 姓名 | 内容 | 贡献度 |
| --- | --- | --- |
| 王晟 |  |  |
| 袁鑫 |  |  |
| 周宇航 |  |  |
| 林天成 |  |  |

# 一、8237A的两种工作周期及其含义

## 1.1 工作周期

8237A 工作周期分为2类：空闲周期和有效周期。

## 1.2 空闲周期

1. 复位后8237A处于空闲周期。此时，它处于被动状态，CPU可对其进行初始化；或虽已初始化，但尚未有DMA请求。
2. 8237A的任一通道都没有DMA请求时；8237A由微处理器控制作为一个接口芯片；CPU可对8237A编程，或从8237A读取状态；8237A采样CS\*选片信号，该信号有效，CPU就要对8237A进行读/写操作；8237A还采样通道的请求输入信号DREQ,该信号有效，就进入有效周期。

## 1.3 有效周期

1. 8237A获得外设的DMA请求后，从空闲周期转入有效周期。此时，它作为主控芯片，控制DMA的传输过程。
2. 有效周期由 S0 ~ S4 5个周期组成。
3. S0：等待周期

8237A收到外设的DREQ请求，并向CPU发送HRQ后，就从空闲周期 Si 转入等待周期 S0，并重复执行 S0，等待CPU让出总线控制权。

处在S0状态，若收到CPU发来的HLDA响应，即CPU已让出总线控制权，则S0状态结束，准备进入DMA操作状态。

1. S1：更新高8位地址

8237A 用DB7 ~ DB0送出高8位地址 ，同时使ADSTB和AEN有效，使得高8位地址首先送入锁存器，然后再从锁存器送入总线系统。

由于传输一段连续的数据块时，存储器地址总是相邻的，其高8位地址往往不变，这样在传输下一个字节时就无需更新高8位地址，此时S1可省略。

只有低8位向高8位进位时才会再次更新高8位地址，故每传送256个字节才出现一个S1周期。

1. S2：发DACK寻址I/O设备，并输出16位RAM地址和读信号。

8237A 向外设发DACK信号，启动外设工作，同时发出16位RAM 地址线。

如果为读内存操作，则向存储器发 MEMR信号。

如果为读外设操作，则向外设发IOR信号。

1. S3：发写操作的控制信号：

如果是向内存写操作，则向存储器发 MEMW信号。如果是向外设写操作，则向外设发IOW信号。

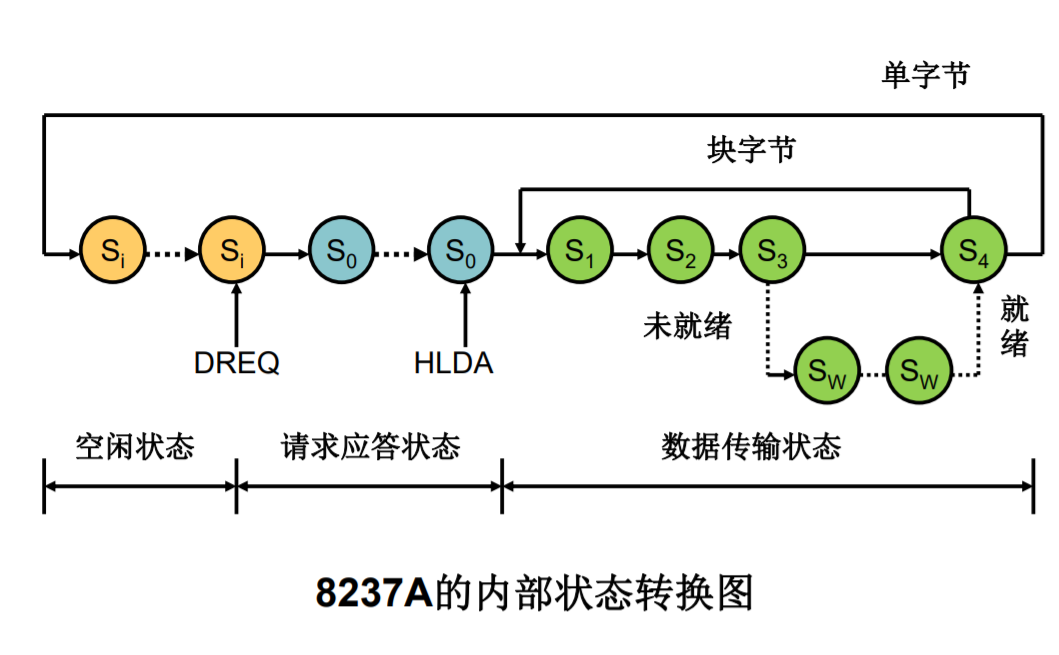
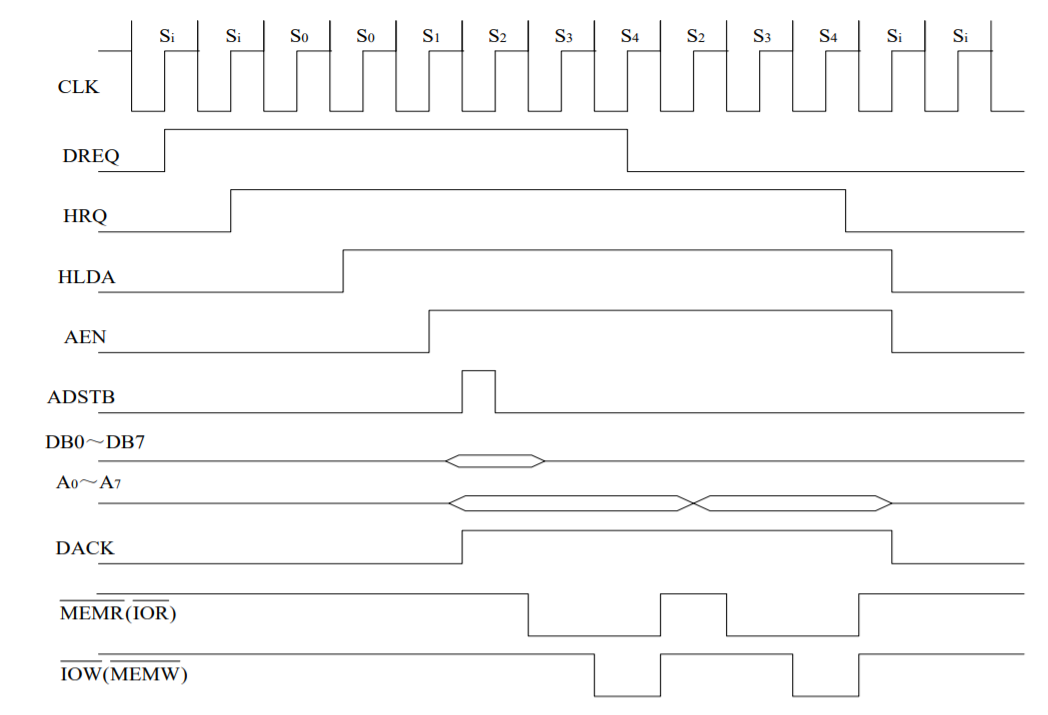
S3 状态结束时，若Ready信号无效，则插入一个等待周期Sw，延续S3的各种状态。

S3 或 Sw 状态结束时，若Ready信号有效，则进入S4周期。

1. S4：DMA传输一个字节

如果整个数据块DMA传输结束，则后面紧接着是 Si 周期。

如果还有下一个字节需要传输，则再次重复S1 ~ S4的过程。



# 二、8237A引脚的两种作用

## 2.1两种工作周期下的主要引脚

|  |  |
| --- | --- |
| 与CPU连接(空闲周期)的引脚 | 与外设连接(有效周期)的引脚 |
| CLK, RESET  A0-A3, CS\*, DB0-DB7  IOR\*, IOW\*  HRQ, HLDA | AEN, ADSTB, READY, EPO\*  A0-A7, DB0-DB7  IOR\*, IOW\*, MEMR\*, MEMW\*,  DREQ0-DREQ3, DACK0-DACK3 |

# 四、总结

## 4.1体会与总结

大致了解了8237A的不同工作周期的含义及引脚的使用情况。